

PATENT
81754.0101
Express Mail Label No. EV 324 111 154 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Akiyoshi AOYAGI

Serial No: Not Assigned

Filed: November 21, 2003

For: Semiconductor Device, Its
Manufacturing Method and
Electronic Device

Art Unit: Not Assigned

Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-340879, which was filed November 25, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: November 21, 2003

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 5 日
Date of Application:

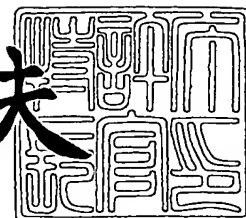
出 願 番 号 特 願 2 0 0 2 - 3 4 0 8 7 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 0 8 7 9]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 8 7 9

【書類名】 特許願

【整理番号】 J0090167

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/07

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号
 セイコーエプソン株式会社内

 【氏名】 青柳 哲理

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1 . .

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法並びに電子機器

【特許請求の範囲】

【請求項 1】 ベース配線パターンを含むベース基板と、
前記ベース基板の上方に配置され、第 1 の配線パターンを含む第 1 の回路基板と、
前記第 1 の回路基板に搭載され、前記第 1 の配線パターンに電氣的に接続する第 2 の電極を含む第 1 の半導体素子と、
前記第 1 の回路基板の上方に配置され、第 2 の配線パターンを含む第 2 の回路基板と、
前記第 2 の回路基板に搭載され、前記第 2 の配線パターンに電氣的に接続する第 2 の電極を含む第 2 の半導体素子と、
前記第 1 の配線パターンに電氣的に接続し、前記第 1 の回路基板から突出して設けられ、前記ベース配線パターンと接合した第 1 の突起電極と、
前記第 2 の配線パターンに電氣的に接続し、前記第 2 の回路基板から突出して設けられ、前記ベース配線パターンと接合した第 2 の突起電極と、
を備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、さらに、前記ベース基板に搭載され、前記ベース配線パターンに電氣的に接続する第 3 の電極を含む第 3 の半導体素子を備えることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体装置において、前記第 2 の突起電極は、前記第 1 の突起電極よりも厚いことを特徴とする半導体装置。

【請求項 4】 請求項 1 から 3 のいずれかに記載の半導体装置において、さらに、前記第 1 の半導体素子に他の半導体素子が積層されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 から 4 のいずれかに記載の半導体装置において、さらに、前記第 2 の半導体素子に他の半導体素子が積層されていることを特徴とする半導体装置。

【請求項 6】 第 1 の配線パターンを含む回路基板であって、前記第 1 の配

線パターンに電氣的に接続する第1の電極を含む第1の半導体素子が搭載された第1の回路基板を、ベース配線パターンを含むベース配線基板の上方に配置し、

前記第1の回路基板と前記ベース基板との間に設けられた第1の突起電極を、前記ベース配線パターンに接合して、前記第1の配線パターンと前記ベース配線パターンとを電氣的に接続し、

第2の配線パターンを含む回路基板であって、前記第2の配線パターンに電氣的に接続する第2の電極を含む第2の半導体素子が搭載された第2の回路基板を、前記第1の回路基板の上方に配置し、

前記第2の回路基板と前記ベース基板との間に設けられた第2の突起電極を、前記ベース配線パターンに接合して、前記第2の配線パターンと前記ベース配線パターンとを電氣的に接続することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

前記第2の突起電極は、前記第2の回路基板の表面から突出しており、

前記第1の配線パターンと前記ベース配線パターンとを電氣的に接続する工程の後であって、第2の回路基板を前記第1の回路基板の上方に配置する工程の前に、前記第1の回路基板が、前記第2の回路基板の前記第2の突起電極形成領域を避けた領域の下方に位置するように、前記第2の回路基板と前記ベース基板とを位置合わせすることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1～5のいずれかに記載の半導体装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法並びに電子機器に関する。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開平6-13541号公報

【0004】

【発明の背景】

半導体素子を高密度に実装するために、複数の半導体素子を厚さ方向に積層する技術が提案されている。これは、半導体素子が実装された複数の回路基板の相互間の導通をとり、最下層の回路基板とベース基板とを電氣的に接続することにより、積層して実装するものである。

回路基板相互間は、例えば、半田ボールを用いて電氣的に接続され、最下層の回路基板の端子のみがベース基板と接続するものがある。

【0005】

【発明が解決しようとする課題】

ところが、上述した各先行技術では、異種の半導体素子を用いようとする、回路基板に、回路基板の上方に位置する各半導体素子に対応させた配線がそれぞれ必要となり、各回路基板面積が大きくなるか、配線の引き回しの自由度が小さくなる。このように、配線の数が多くなると、回路基板及びベース基板の面積が大きくなるか、回路基板及びベース基板の面積制約から、回路基板及びベース基板内での配線の設計の自由度が低下する場合がある。

また、同種の半導体素子を用いた場合でも、複数の半導体メモリ素子を積層しようとする、半導体メモリ素子のセレクター用に独立させた配線が必要となり、そのためにさらに別の回路基板が必要となる場合もある。

また、積層すべき回路基板の相互間を半田ボール等により接続する必要があるため、積層体の薄型化の妨げになってしまうという問題もある。

【0006】

本発明は、このような状況に鑑みてなされたものであり、回路基板及びベース基板内での配線の設計の自由度を向上し、部品点数を少なくすることができ、積層体の薄型化を図ることができる半導体装置及びその製造方法並びに電子機器を提供することができるようにするものである。

【0007】

【課題を解決するための手段】

本発明の半導体装置は、ベース配線パターンを含むベース基板と、前記ベース

基板の上方に配置され、第1の配線パターンを含む第1の回路基板と、前記第1の回路基板に搭載され、前記第1の配線パターンに電氣的に接続する第2の電極を含む第1の半導体素子と、前記第1の回路基板の上方に配置され、第2の配線パターンを含む第2の回路基板と、前記第2の回路基板に搭載され、前記第2の配線パターンに電氣的に接続する第2の電極を含む第2の半導体素子と、前記第1の配線パターンに電氣的に接続し、前記第1の回路基板から突出して設けられ、前記ベース配線パターンと接合した第1の突起電極と、前記第2の配線パターンに電氣的に接続し、前記第2の回路基板から突出して設けられ、前記ベース配線パターンと接合した第2の突起電極と、を備えることを特徴とする。

また、本発明の半導体装置の製造方法は、第1の配線パターンを含む回路基板であって、前記第1の配線パターンに電氣的に接続する第1の電極を含む第1の半導体素子が搭載された第1の回路基板を、ベース配線パターンを含むベース配線基板の上方に配置し、前記第1の回路基板と前記ベース基板との間に設けられた第1の突起電極を、前記ベース配線パターンに接合して、前記第1の配線パターンと前記ベース配線パターンとを電氣的に接続し、第2の配線パターンを含む回路基板であって、前記第2の配線パターンに電氣的に接続する第2の電極を含む第2の半導体素子が搭載された第2の回路基板を、前記第1の回路基板の上方に配置し、前記第2の回路基板と前記ベース基板との間に設けられた第2の突起電極を、前記ベース配線パターンに接合して、前記第2の配線パターンと前記ベース配線パターンとを電氣的に接続することを特徴とする。

本発明の半導体装置及びその製造方法によれば、回路基板及びベース基板内の配線の設計の自由度を向上し、使用する部品点数を少なくすることができ、積層体の薄型化を図ることができる。

本発明の電子機器は、上記半導体装置を備えることを特徴とする。これによれば、電子機器の小型薄型化を図ることができる。

【0008】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

図1から図7は、本発明の半導体装置の一実施の形態に係る半導体装置を示す

図である。図 8 はそれらの製造方法を示す図である。

本発明の一の実施の形態に係る半導体装置は、ベース基板 10 及び少なくとも複数の回路基板 20, 30 を有する。図 1 に示すように、回路基板 30 は、回路基板 20 の上方に位置している。さらに、回路基板 30 の上方、又は、回路基板 20 と回路基板 30 との間に、一又は複数の他の回路基板を備えていてもよい。

ベース基板 10 は、絶縁基材と、絶縁基材の表面に設けられた図示しないベース配線パターンと、を備える。ベース配線パターンは、絶縁基材内にも設けられて、多層配線構造をとっていてもよいし、絶縁基材の対向する 2 つの主面の一方に設けられて片面配線構造をとっていてもよいし、絶縁基材の対向する 2 つの主面の両面に設けられて両面配線構造をとっていてもよい。ベース基板 10 上には、半導体素子 11 が搭載されていてもよい。半導体素子 11 は、図 3 に示すような電極 17 を表面に有する。ベース基板 10 には、図示しないベース配線パターンに電氣的に接続する外部端子 12 が形成されている。外部端子 12 は、例えば、ベース基板 10 の表面から突出する突起電極、リードや導電ピン等であってもよい。ベース配線パターンには、突起電極 22 と接合する図示しないランド、突起電極 32 と接合する図示しないランド、突起電極 42 と接合する図示しないランドが含まれていてもよい。これら図示しないランドは、各外部端子 12 と配線によって電氣的に接続されている。

【0009】

ベース基板 10 の上方には、回路基板 20 が位置している。回路基板 20 は、絶縁基材と絶縁基材の表面に設けられた図示しない配線パターンを有する。配線パターンは、絶縁基材内にも設けられて、多層配線構造をとっていてもよいし、絶縁基材の対向する 2 つの主面の一方に設けられて片面配線構造をとっていてもよいし、絶縁基材の対向する 2 つの主面の両面に設けられて両面配線構造をとっていてもよい。

回路基板 20 には、半導体素子 21 が搭載されている。半導体素子 21 は、図 3 に示すような電極 23 を表面に有する。半導体素子 21 の電極 23 は、回路基板 20 の図示しない配線パターンに電氣的に接続している。電極 23 は、半導体素子 21 内に設けられた集積回路と電氣的に接続しており、半導体素子 21 の表

面に設けられている。電極 23 は、電極パッドのみからなるものであってもよいし、電極パッドと電極パッド上に設けられた突起電極を含んでもよい。また、図 3 に示すように、半導体素子 21 は、回路基板 20 の図示しない配線パターンに、フェースダウンボンディング法を用いて電氣的に接続していてもよいし、ワイヤボンディング法を用いて電氣的に接続していてもよい。

ベース基板 10 の図示しないベース配線パターンと回路基板 20 の図示しない配線パターンとは、突起電極 22 を用いて電氣的に接続している。突起電極 22 は、図示しない配線パターンに電氣的に接続し、回路基板 20 の表面から突出して設けられている。突起電極 22 は、回路基板 20 とベース基板 10 との間に設けられている。突起電極 22 は、ベース基板 10 の図示しない配線パターンに接合している。この接合には、異方性導電接着剤や絶縁性接着剤のみを用いた接着剤接合であってもよいし、合金接合や金属間拡散接合等を用いた金属接合であってもよいし、公知の接合技術を用いることができる。

【0010】

回路基板 20 の上方には、回路基板 30 が位置している。回路基板 30 は、図示しない配線パターンを有する。回路基板 30 には、半導体素子 31 が搭載されている。半導体素子 31 は、表面に図示しない電極を有する。半導体素子 31 の電極は、回路基板 30 の図示しない配線パターンに電氣的に接続している。電極は、半導体素子 31 内に設けられた集積回路と電氣的に接続しており、半導体素子 31 の表面に設けられている。電極は、電極パッドからなるものであってもよいし、電極パッドと電極パッド上に設けられた突起電極を含んでもよい。図 3 に示すように、半導体素子 31 の電極は、回路基板 30 の図示しない配線パターンに対して、フェースダウンボンディング法を用いて電氣的に接続していてもよいし、ワイヤ 33 によるワイヤボンディング法を用いて電氣的に接続していてもよい。

ベース基板 10 の図示しないベース配線パターンと回路基板 30 の図示しない配線パターンとは、突起電極 32 を用いて電氣的に接続している。突起電極 32 は、回路基板 30 の表面から突出して設けられ、図示しない配線パターンに電氣的に接続している。突起電極 32 は、回路基板 30 とベース基板 10 との間に設

けられている。突起電極 32 は、ベース基板 10 の図示しない配線パターンに接合している。この接合には、異方性導電接着剤や絶縁性接着剤のみを用いた接着剤接合であってもよいし、合金接合や金属間拡散接合等を用いた金属接合であってもよいし、公知の接合技術を用いることができる。

【0011】

突起電極 32 の厚みは、突起電極 22 の厚みよりも大きい。これにより、回路基板 30 を回路基板 20 の上方に位置させることができる。突起電極 22, 32 は、導電部材からなる。導電部材は、複数の導電膜が積層した構造を含むものであってもよい。導電部材は、金属、金属化合物、合金、導電ペースト、半田等のろう材又はこれらの組み合わせであってもよい。突起電極 22, 32 は、ボール状に設けられたものであってもよいし、側面が平面になるように設けられていてもよい。

回路基板 30 の上方に、さらに、一又は複数の回路基板（例えば、回路基板 40）が位置していてもよい。また、図 4 や図 6 に示すように、回路基板 20 と回路基板 30 との間に、一又は複数の回路基板（例えば、回路基板 40）が位置していてもよい。回路基板 40 を用いて説明すると、図示しない配線パターンを有する回路基板 40 に、図示しない電極を有する半導体素子 41 が搭載され、半導体素子 41 の電極は、図示しない配線パターンに電氣的に接続している。突起電極 42 は、図示しない配線パターンに電氣的に接続している。ベース基板 10 の図示しないベース配線パターンと回路基板 40 の図示しない配線パターンとは、回路基板 40 の表面から突出する突起電極 42 を用いて、電氣的に接続している。突起電極 42 は、図 1 や図 4 に示すように、ベース基板 10 の図示しない配線パターンに接合して、電氣的に接続していてもよい。接合には、異方性導電接着剤や絶縁性接着剤のみを用いた接着剤接合であってもよいし、合金接合や金属間拡散接合等を用いた金属接合であってもよいし、公知の接合技術を用いることができる。また、図 6 や図 7 に示すように、他の回路基板、例えば回路基板 20, 30 の図示しない配線パターンに接合して、図示しない配線パターンを介してベース基板 10 の図示しない配線パターンに電氣的に接続していてもよい。図 5 に示すように、ベース基板 10 の両面に、回路基板が配置されていてもよい。図 5

には、ベース基板 1 0 の一方の面の上方に回路基板 2 0, 3 0 が配置されており、他方の面の上方に回路基板 5 0, 6 0 が配置している。

【 0 0 1 2 】

ベース基板 1 0 及び回路基板 2 0, 3 0, 4 0 は、それぞれ、リジッド基板でもよいし、フレキシブル基板であってもよい。リジッド基板である場合、絶縁基材がガラスエポキシ材料からなるものであってもよい。フレキシブル基板である場合、絶縁基材がポリイミド材料やポリエチレンテレフタレート材料からなるものであってもよい。また、ベース基板 1 0 及び回路基板 2 0, 3 0, 4 0 には、異種の半導体素子が搭載されていてもよいし、同種の半導体素子が搭載されていてもよい。異種の半導体素子とは、半導体素子表面に設けられた電極の配置が異なる半導体素子のことをいう。また、同種の半導体素子とは、半導体素子表面に設けられた電極の配置が同じ半導体素子のことをいう。

半導体素子 1 1, 2 1, 3 1, 4 1 にはそれぞれ、ベース基板 1 0, 回路基板 2 0, 3 0, 4 0 の下面に搭載されていてもよいし、上面に搭載されていてもよい。ベース基板 1 0, 回路基板 2 0, 3 0, 4 0 の少なくともいずれか一つに、複数の半導体素子が搭載される場合には、両面に半導体素子が搭載されていてもよい。本実施の形態では、ベース基板 1 0 と回路基板 2 0, 3 0, 4 0 に半導体素子が一つずつ搭載された場合について説明したが、この例に限らず、図 2 に示す半導体素子 1 1 a, 1 1 b のように、ベース基板 1 0 及び回路基板 2 0, 3 0, 4 0 の少なくともいずれかに、半導体素子を複数積層して搭載してもよい。この場合、検査により不良が生じた場合のリペア性がよくなり、製造コストを削減することができる。図 2 に示す半導体素子 1 1 a のように、下層の半導体素子はベース基板 1 0、回路基板 2 0, 3 0, 4 0 の少なくともいずれかにフェースダウンボンディング法によって接続されていてもよい。この場合、半導体素子 1 1 b のように、下層の半導体素子の図示しない電極が形成された表面の裏面に固着された上層の半導体素子は、図示しない配線パターンの少なくともいずれかとワイヤ 1 5 によるワイヤボンディング法によって接続されていてもよい。また、図 4 に示す半導体素子 3 1 a, 3 1 b のように、ベース基板 1 0 及び回路基板 2 0, 3 0, 4 0 の少なくともいずれか一つに、複数の半導体素子を搭載してもよい。

。この場合、半導体素子の高密度実装を実現することができ、半導体装置の厚みを抑えることができる。半導体素子 11, 21, 31, 41 は、図 3 に示すように、樹脂 18, 24 で封止されていてもよい。

【0013】

次に、このような構成の半導体装置の製造方法について説明する。

まず、半導体素子 21 が搭載された回路基板 20 と、半導体素子 31 が搭載された回路基板 30 と、を用意する。半導体素子 21 は、回路基板 20 の図示しない配線パターンに電氣的に接続する図示しない電極を含む。半導体素子 31 は、回路基板 30 の図示しない配線パターンに電氣的に接続する図示しない電極を含む。さらに、ベース基板 10 の上方に他の回路基板を搭載する場合、例えば、回路基板 40 を搭載する場合には、回路基板 40 の図示しない配線パターンに電氣的に接続する図示しない電極を有する半導体素子 41 が搭載された回路基板 40 を用意する。

半導体素子 21 が搭載された回路基板 20 は、半導体素子 21 の表面に設けられた図示しない電極と、回路基板 20 の図示しない配線パターンを電氣的に接続することにより用意される。この際、半導体素子 21 と回路基板 20 とは、半導体素子 21 の図示しない電極が設けられた表面を回路基板 20 の表面と対向させて、フェースダウンボンディング法を用いて、図示しない電極と図示しない配線パターンとを電氣的に接続してもよいし、図示しない電極が設けられた表面の裏面を回路基板 20 の表面と対向させて、ワイヤボンディング法を用いて図示しない電極と図示しない配線パターンとを電氣的に接続してもよい。図示しない電極と図示しない配線パターンとは、異方性導電接着剤、導電接着剤、絶縁性接着剤等によって接着剤接合されていてもよいし、共晶合金を形成したり金属間拡散を用いることによって金属接合されていてもよいし、ワイヤボンディングされていてもよい。図示しない配線パターンに電氣的に接続された半導体素子 21 は、樹脂 18, 24 によって封止されてもよい。

【0014】

半導体素子 21 が搭載された回路基板 20 と同様に、回路基板 30 の図示しない配線パターンに電氣的に接続する図示しない電極を有する半導体素子 31 が搭

載された回路基板 20 は、半導体素子 31 の図示しない電極と、回路基板 30 の図示しない配線パターンを電氣的に接続することにより用意される。半導体素子 31 と回路基板 30 とは、図示しない電極が設けられた表面を回路基板 30 の表面と対向させて、フェースダウンボンディング法を用いて、図示しない電極と図示しない配線パターンとを電氣的に接続してもよいし、図示しない電極が設けられた表面の裏面を回路基板 30 の表面と対向させて、ワイヤ 33 によるワイヤボンディング法を用いて図示しない電極と図示しない配線パターンとを電氣的に接続してもよい。図示しない電極と図示しない配線パターンとは、異方性導電接着剤、導電接着剤、絶縁性接着剤等によって接着剤接合されていてもよいし、共晶合金を形成したり金属間拡散を用いることによって金属接合されていてもよいし、ワイヤボンディングされていてもよい。図示しない配線パターンに電氣的に接続された半導体素子 31 は、樹脂によって封止されてもよい。

回路基板 20 の半導体素子 21 が搭載される面、又は、その裏面に、回路基板 20 の表面から突出する突起電極 22 を設ける。突起電極 22 は、半導体素子 21 を回路基板 20 に搭載する前に設けてもよいし、半導体素子 21 を回路基板 20 に搭載した後に設けてもよい。また、回路基板 30 の半導体素子 31 が搭載される面、又は、その裏面に、回路基板 30 の表面から突出する突起電極 32 を設ける。突起電極 32 は、半導体素子 31 を回路基板 30 に搭載する前に設けてもよいし、半導体素子 31 を回路基板 30 に搭載した後に設けてもよい。

【0015】

突起電極 22 は、図示しない配線パターンと電氣的に接続して設けられる。突起電極 32 は、図示しない配線パターンと電氣的に接続して設けられる。突起電極 22 及び 32 の少なくともいずれか一方は、例えば、図示しない配線パターンに電氣的に接続するように半田ボールを搭載し、加熱することによって、突起電極 22 を形成してもよい。また、半田ボールを用いる方法に限らず、メッキ法を用いて、メッキ金属を析出し、突起電極 22 及び 32 の少なくともいずれか一方を形成してもよい。

さらに、他の回路基板、例えば、回路基板 40 を有する場合は、半導体素子 21 と回路基板 20 との電氣的接続と同様に、半導体素子 41 の図示しない電極と

、回路基板 40 の図示しない配線パターンを電氣的に接続し、回路基板 40 に突起電極 42 を設ける。

【0016】

次に、図 8 (a) に示すように、半導体素子 21 が搭載された回路基板 20 をベース基板 10 の上方に配置し、ベース基板 10 の図示しない配線パターンと突起電極 22 とを接合して、図示しない配線パターンと突起電極 22 とを電氣的に接続する。図示しない配線パターンと突起電極 22 とは、半田接合、共晶接合や金属間拡散による接合等の金属接合を用いて接合されてもよいし、異方性導電接着剤、絶縁性接着剤や導電接着剤を用いた接着剤接合を用いて接合されてもよい。

次に、図 8 (b) に示すように、少なくとも回路基板 20 が、回路基板 30 の突起電極 32 の形成領域の下方を避けて位置するように、回路基板 30 とベース基板 10 とを位置合わせをする。この際、回路基板 30 を矢印方向に移動してもよいし、ベース基板 10 を矢印方向に移動して位置合わせしてもよい。例えば、回路基板 30 の外周に沿って突起電極 32 が形成されている場合、突起電極 32 の形成領域に囲まれた領域の下方に回路基板 20 が位置するように位置合わせを行う。

図 8 (c) に示すように、半導体素子 31 が搭載された回路基板 30 を回路基板 20 の上方に配置し、ベース基板 10 の図示しない配線パターンと突起電極 32 とを接合して、図示しない配線パターンと突起電極 32 とを電氣的に接続する。図示しない配線パターンと突起電極 32 とは、半田接合、共晶接合や金属間拡散による接合等の金属接合を用いて接合されてもよいし、異方性導電接着剤、絶縁性接着剤や導電接着剤を用いた接着剤接合を用いて接合されてもよい。

【0017】

さらに、回路基板 30 の上方に他の回路基板、例えば、回路基板 40 を有する場合には、半導体素子 41 が搭載された回路基板 40 を回路基板 30 の上方に搭載し、ベース基板 10 の図示しない配線パターンと突起電極 42 とを電氣的に接続する。この際、図 1 に示すように、ベース基板 10 の図示しない配線パターンと突起電極 42 とを接合して、ベース基板 10 の図示しない配線パターンと突起

電極 42 とを電氣的に接続してもよい。また、図 7 に示すように、回路基板 40 よりも下方に位置する回路基板の配線パターンと突起電極 42 とを接合して、ベース基板 10 の図示しない配線パターンと突起電極 42 とを電氣的に接続してもよい。例えば、回路基板 30 の図示しない配線パターンと突起電極 42 とを接合してもよい。

また、回路基板 20 と回路基板 30 との間に他の回路基板、例えば回路基板 40 を有する場合は、回路基板 20 の突起電極 22 と図示しない配線パターンとの接合工程の後であって、回路基板 30 の突起電極 32 と図示しない配線パターンとの接合工程の前に、半導体素子 41 が搭載された回路基板 40 を回路基板 20 の上方に搭載し、ベース基板 10 の図示しない配線パターンと突起電極 42 とを電氣的に接続する。この際、例えば図 4 に示すように、ベース基板 10 の図示しない配線パターンと突起電極 42 とを接合して、ベース基板 10 の図示しない配線パターンと突起電極 42 とを電氣的に接続してもよい。また、回路基板 40 よりも下方に位置する回路基板の配線パターンと突起電極 42 とを接合して、ベース基板 10 の図示しない配線パターンと突起電極 42 とを電氣的に接続してもよい。例えば、図 6 に示すように、回路基板 20 の図示しない配線パターンと突起電極 42 とを接合してもよい。

【0018】

突起電極 42 といずれかの配線パターンとは、半田接合、共晶接合や金属間拡散による接合等の金属接合を用いて接合されてもよいし、異方性導電接着剤、絶縁性接着剤や導電接着剤を用いた接着剤接合を用いて接合されてもよい。

突起電極 22, 32, 42 といずれかのベース基板又は回路基板の配線パターンとの接合において、加熱や光照射等のエネルギーを接合部に加える工程が必要な場合には、ベース基板 10 の上方に各回路基板を載置する工程後に、都度、接合部にエネルギーを加える工程を入れてもよいし、ベース基板 10 の上方に複数の回路基板を載置した後に、一括してエネルギーを接合部に加えてもよい。

【0019】

本実施の形態に係る説明は、ベース基板 10 の上方に配置される各回路基板 20, 30, 40 に各突起電極 22, 32, 42 が設けられて、ベース基板 10 に

実装される形態について説明したが、これに限定されるものではなく、あらかじめ、ベース基板 10 の図示しないベース配線に各突起電極 22, 32, 42 が接合されていて、各突起電極 22, 32, 42 にそれぞれの各回路基板 20, 30, 40 が位置合わせされ、各突起電極 22, 32, 42 上に各回路基板 20, 30, 40 を載置して、各突起電極 22, 32, 42 と図示しない各配線パターンとが電氣的に接続されてもよい。

また、本実施の形態による半導体装置を、携帯電話やデジタルカメラ等の電子機器に搭載することで、電子機器の小型薄型化を図ることができる。

【0020】

【発明の効果】

以上の如く本発明に係る半導体装置及びその製造方法並びに電子機器によれば、ベース配線パターンを含むベース基板と、ベース基板の上方に配置され、第 1 の配線パターンを含む第 1 の回路基板と、第 1 の回路基板に搭載され、第 1 の配線パターンに電氣的に接続する第 2 の電極を含む第 1 の半導体素子と、第 1 の回路基板の上方に配置され、第 2 の配線パターンを含む第 2 の回路基板と、第 2 の回路基板に搭載され、第 2 の配線パターンに電氣的に接続する第 2 の電極を含む第 2 の半導体素子と、第 1 の配線パターンに電氣的に接続し、第 1 の回路基板から突出して設けられ、ベース配線パターンと接合した第 1 の突起電極と、第 2 の配線パターンに電氣的に接続し、第 2 の回路基板から突出して設けられ、ベース配線パターンと接合した第 2 の突起電極と、を備えるので、各回路配線基板内部での配線の引き回しを容易とし、回路基板等の部品点数を少なくすることができるとともに、積層体の薄型化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の一実施の形態を示す図である。

【図 2】

本発明の半導体装置の一実施の形態を示す図である。

【図 3】

本発明の半導体装置の一実施の形態を示す図である。

【図 4】

本発明の半導体装置の一実施の形態を示す図である。

【図 5】

本発明の半導体装置の一実施の形態を示す図である。

【図 6】

本発明の半導体装置の一実施の形態を示す図である。

【図 7】

本発明の半導体装置の一実施の形態を示す図である。

【図 8】

本発明の半導体装置の製造方法の一実施の形態を示す図である。

【符号の説明】

1 0 ベース基板

2 0, 3 0, 4 0, 5 0, 6 0 回路基板

1 1, 1 1 a, 1 1 b, 2 1, 3 1, 3 1 a, 3 1 b, 4 1, 5 1, 6 1 半
導体素子

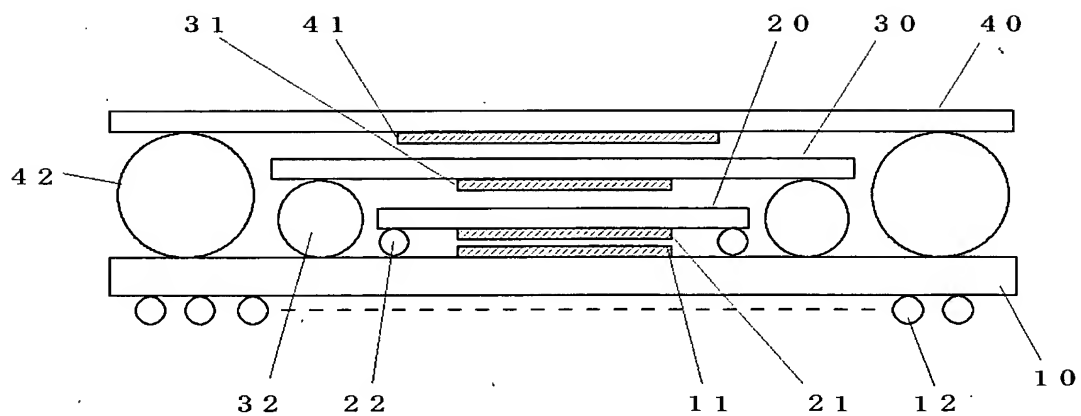
2 2, 3 2, 4 2, 5 2 突起電極

1 2, 6 2 外部端子

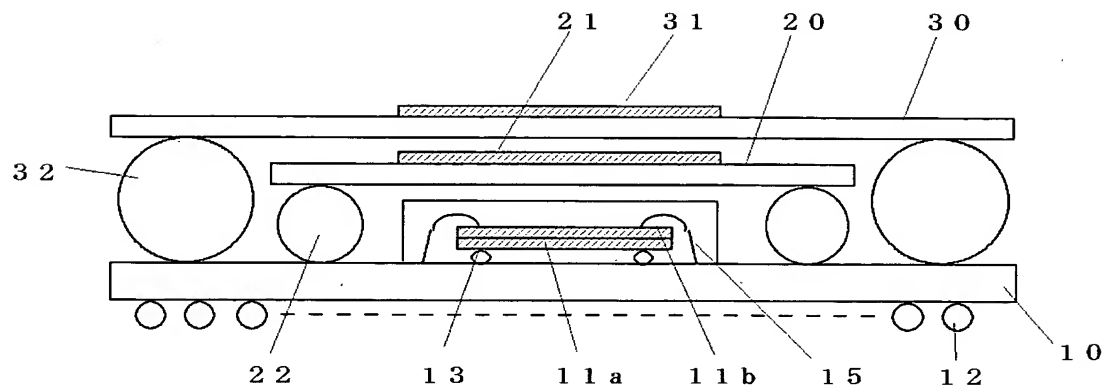
【書類名】

図面

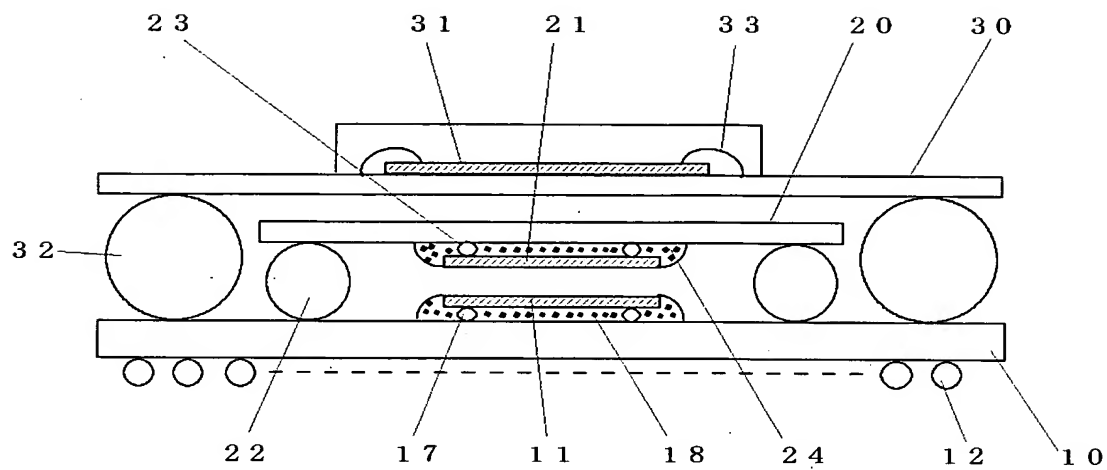
【図 1】



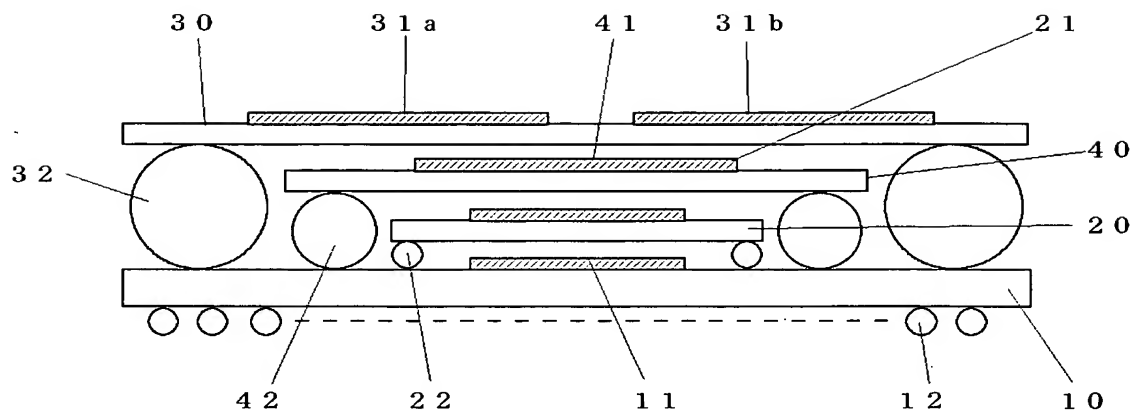
【図 2】



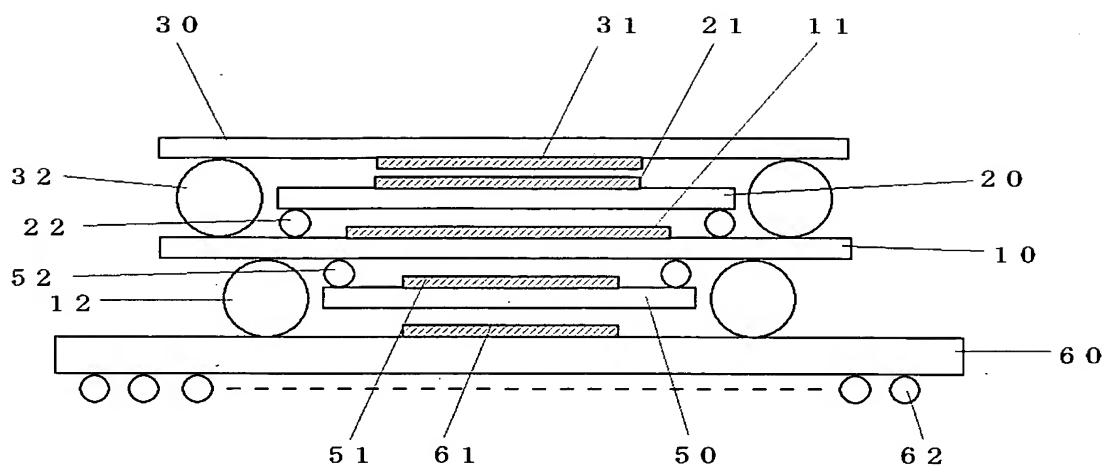
【図 3】



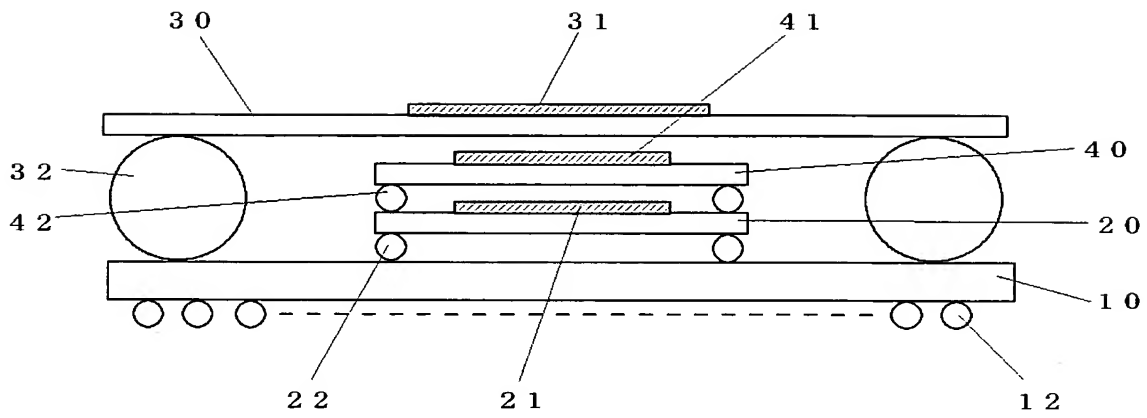
【図 4】



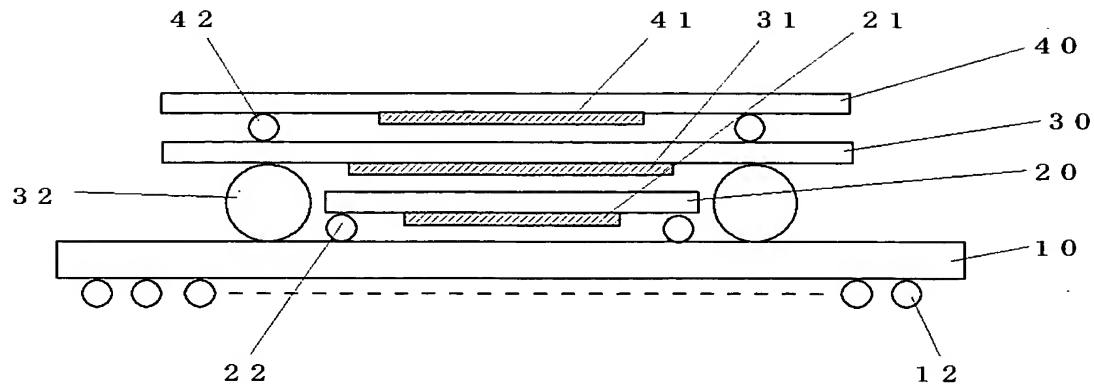
【図 5】



【図 6】

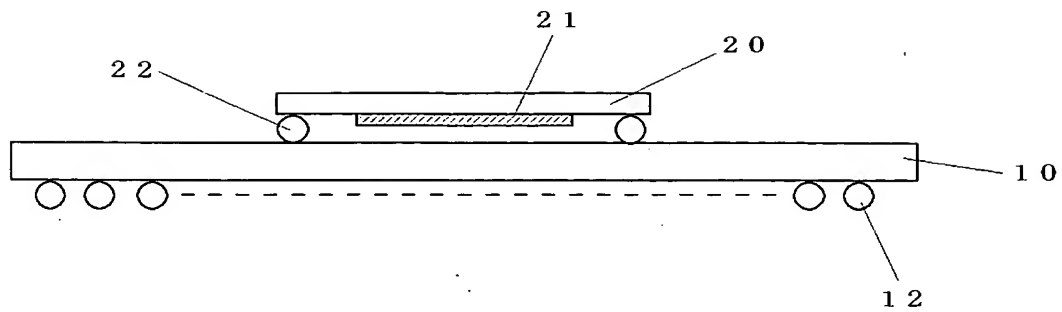


【図 7】

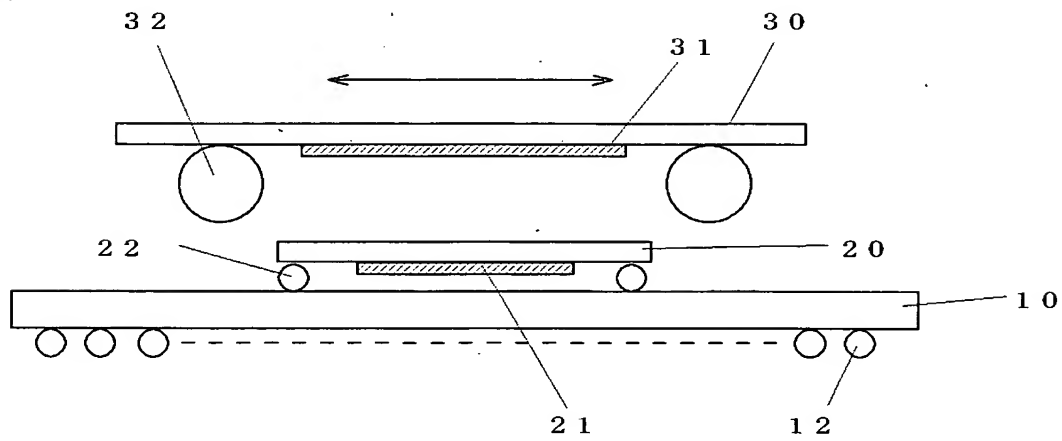


【図 8】

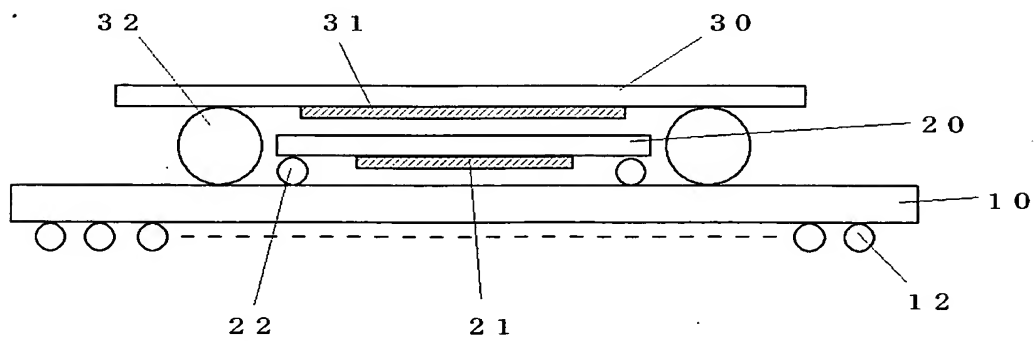
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 回路基板及びベース基板内での配線の設計の自由度を向上し、部品点数を少なくすることができ、積層体の薄型化を図ることができるようにする。

【解決手段】 ベース基板 1 0 の図示しない配線パターンに、半導体素子 2 1 を有する回路基板 2 0 の突起電極 2 2 と、半導体素子 3 1 を有する回路基板 3 0 の突起電極 3 2 と、半導体素子 3 4 を有する回路基板 4 0 の突起電極 4 2 とを電氣的に接続するようにする。半導体素子 2 1、3 1、4 1 には、回路基板 2 0、3 0、4 0 の図示しない配線パターンに電氣的に接続する電極を儲けるようにする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-340879
受付番号	50201775509
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月26日

<認定情報・付加情報>

【提出日】 平成14年11月25日

次頁無

特願 2 0 0 2 - 3 4 0 8 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社